

print out

Patent/Publication No. 457624

Title Manufacturing method of etching-type single-layer and stacked-layer chip inductor capable of significantly increasing the coil number and density of the inductor

Publication Date 2001/10/01

Application Date 2000/07/07

Application No. 089113458

Certification_Number 143697

IPC H01L-021/70;H01L-029/00

Inventor WANG, HONG-GUANG TW;
WANG, LEI-YA TW

Applicant AOBA TECHNOLOGY CO., LTD. TW

Abstract There is provided a manufacturing method of etching-type single-layer and stacked-layer chip inductor, which comprises the steps of: providing a substrate; forming at least one metal film by covering the substrate; forming a plurality of pattern-defined traces on the metal film by lithographic techniques; processing the pattern-defined traces by etching reaction to manufacture reserved and required coil circuit; cleaning and drying the surface of the etched

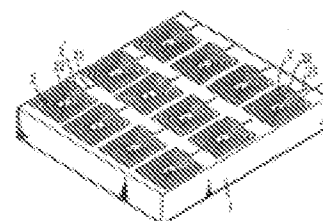


Fig. 1

Fig. 2

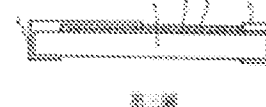


Fig. 4

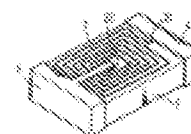


Fig. 5

-- 2118 --

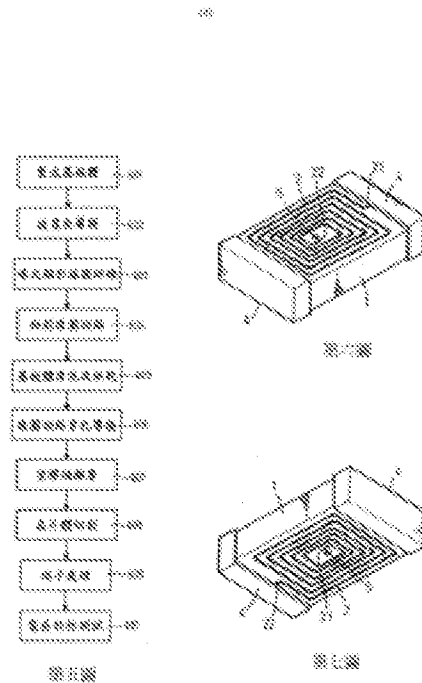
substrate; coating glue on the surface of the coil circuit to form a protective isolation layer; using a plurality of substrates to stack up and down and applying technique of punching conductor, and coating glue or layer-isolation insulating material between stacks to form an isolation layer for protection; using a cutting means to manufacture single-layer or stacked-layer chip; and manufacturing metal film terminals on the two terminal sides of the single-layer or stacked-layer chip by immersing and coating to perform the electric testing process of inductor characteristics, so as to manufacture miniaturized coil circuit of chip inductor, thereby significantly increasing the coil number and density of the inductor, and providing a feature of having double or higher efficient level of inductance.

Individual

F

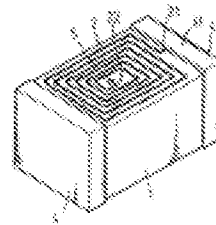
Patent Right Change

Application Number	089113458
Date of Update	20090827
Licensing Note	No
Mortgage Note	No
Transfer Note	No
Succession Note	No
Trust Note	No
Opposition Note	No
Invalidation Note	No
Cessation Note	
Revocation Note	
Issue date of patent	20011001



right	
Patent expiry date	20200706
Maintenance fee due	20100930
Years of annuity paid	009

❖



❖ 1

~ 3718 ~

公 正 本

890724

修正

89年7月24日

申請日期: 89.7.7

案號: 89113458

類別: H01L21/70, 29/00

(以上各欄由本局填註)

發明專利說明書

457624

一、發明名稱	中文	蝕刻式單層及積層晶片電感之製造方法
	英文	
二、發明人	姓名(中文)	1. 王弘光 2. 王薈雅
	姓名(英文)	1. 2.
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 桃園縣中壢市東園路5號 2. 桃園縣中壢市東園路5號
三、申請人	姓名(名稱)(中文)	1. 佳葉科技有限公司
	姓名(名稱)(英文)	1.
	國籍	1. 中華民國
	住、居所(事務所)	1. 桃園縣中壢市東園路5號
	代表人姓名(中文)	1. 王弘光
	代表人姓名(英文)	1.



457624

案號 89113458

890724

年 月 日

修正

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

四、中文發明摘要 (發明之名稱：蝕刻式單層及積層晶片電感之製造方法)

一種蝕刻式單層及積層晶片電感之製造方法，其步驟包括：提供一基板體；以披覆於該基板體形成至少一面金屬膜；藉由曝光顯影技術於金屬膜上形成複數個圖案定義跡線；將圖案定義跡線採蝕刻反應處理製成保留所需之線圈迴路；蝕刻後基板體之表面予清洗及烘乾處理；線圈迴路表面塗膠形成保護隔離層；以複數片基板體予上下堆疊並施以貫穿導體技術，且於堆疊間再塗膠或隔層絕緣材料形成隔離層保護；採以切割手段製成單層或積層之晶片體；以及於單層或積層晶片體之兩端側上分別浸塗製成金屬膜端子實施電感特性測試作業；如此製成細微化線圈迴路之晶片電感，能大幅提高電感圈數及密度，以具有倍數或更高效率層次電感值之特性者。

英文發明摘要 (發明之名稱：)



五、發明說明 (1)

本發明係關於一種晶片電感之製造方法，尤指一種具有細微化線圈迴路，能提高電感圈數及高電感值之蝕刻式單層及積層晶片電感的製造方法。

現今電子元件，為因應通訊、家電及資訊產品輕薄短小化及高性能上的需求，便須使電子元件在體積縮小之餘，同時也需符合高效率性能之需求。

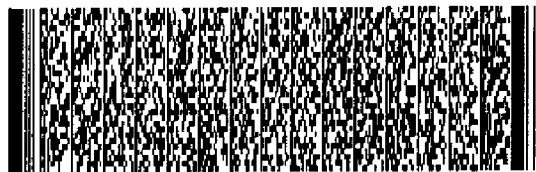
按現今電子元件已廣泛應用於通訊、家電及資訊產品之晶片電感，其晶片表面線圈製成方式，在傳統製成方式係以繞線式、印刷或雷射切割方式來達成。在傳統繞線方式上，其繞組線圈製程後之端子處理及壓鑄處理上手續繁瑣，易造成中斷線圈繞組，因此技術需求性高。

在傳統印刷方式上，其線圈印刷於基板上，在製程上因網版印刷易造成塞網等問題不易達成細微化線圈迴路，也不臻理想。

又傳統雷射切割方式上，雖能精準切割線圈迴路，但有切割寬度較寬問題，同樣也無法提供細微化線圈線路，相對電感圈數及密度就無法提昇，無法符合現今高感值小體積需求之晶片電感。

本發明之主要課題，即針對目前產業上所面臨之瓶頸，予以突破，提供一種創新「蝕刻式單層及積層晶片電感」之製造方法。

本發明之主要目的，即在於一種可在一陶瓷或磁鐵芯材料製成基板體上提供多組細微化線圈迴路之製造方法，



五、發明說明(2)

不僅具有多組晶片同時加工作業，及其線圈圈數大幅提高之特性，因此電感值及生產效率均大幅提昇，且粗細一致之細微化線圈迴路，可使電感值保持穩定特性，俾能達到高電感值之效用。

本發明之次要目的，即在於基板體上可進一步提供雙面多組細微化線圈迴路之製造方法，並以穿孔導體技術將雙面線圈迴路予串聯導電接通製成單層雙面晶片電感，因此線圈圈數更進一步大幅提高，相對電感值成倍數大幅提昇，俾能達到更高效率電感值之特性。

本發明之另一目的，即在於基板體上可進一步以複數片上下堆疊製成積層晶片電感之製造方法，因此達到積層電感值之實施方式，具有更高層次功率電感值之特性。

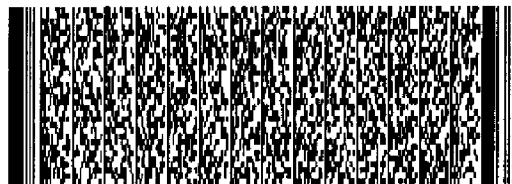
依據本發明上揭目的所示之蝕刻式晶片電感之製造方法，茲詳加說明如下：

如第一圖所示即為本發明蝕刻式單層晶片電感之製造方法之較佳實施例的流程圖。

於步驟501中，係以陶瓷或磁鐵芯材料製成基板體1。

於步驟502中，係將步驟501之基板體1上表面層披覆（電鍍或真空濺鍍等方式）上可為高導電性材料之金屬膜。

於步驟503中，係將披覆有金屬膜表層之基板體1採用曝光顯影技術（負片原理），以令基板體1表面層形成複數個圖案定義迴路之圖案定義跡線2'（如第二圖所示）。



五、發明說明(3)

於步驟504中，係將上述形成複數個圖案定義跡線2'，藉由化學蝕刻藥劑對曝光顯影後基板體1上圖案定義跡線2'實施蝕刻反應以完成保留線圈迴路2，如此手段所達成具有導電性之線圈迴路2，不僅可輕易控制線圈迴路2一定範圍之跡線寬度，讓迴路更為精密細微化，此乃習知雷射切割跡線方式所不能達成的，因此在線圈數及密度上能大幅提昇，相對的電感值也大幅提昇了，達到高感值之電感特性。

於步驟505中，係將蝕刻完成後之基板體1置於清洗裝置中作為清洗及烘乾處理，以完成去除反應溶渣及乾淨化學蝕刻藥劑。

於步驟506中，係將清洗及烘乾完成之基板體1，採用塗膠(coating)或隔層絕緣材料以使表面層具有一隔離層3(如第三圖所示)，該隔離層3可為一樹脂或玻璃所形成保護層，以保護線圈迴路2表層，不致有外來物質而影響電感特性。

於步驟507中，係將完成保護隔離層3之基板體1，以鑽石輪切割或雷射光切割技術將基板體1上具有多組等間距線圈迴路2之個體分別切割製成單層晶片體(如第四圖所示)。

於步驟508中，係將單層晶片體兩側浸塗具有高導電性之金屬膜端子4(如第四圖所示)，供以進行下一步電性測試作業。

於步驟509中，係以進行電性測試作業即完成晶片電



五、發明說明(4)

感之成品。

藉由上述步驟，即可完成多組晶片電感同時加工作業，並能提供細微化之線圈迴路2，以使線圈圈數大幅提高，電感值也大幅提昇了，以具有高電感值之特性，其粗細一致之細微化線圈迴路，可使電感值保持穩定特性，如此製成高電感值之單層晶片電感者。

又如第五圖所示，為本發明具有更高電感值之一較佳實施例，其是與上述單層晶片電感實施例之製造方法大致相同，其步驟602是將基板體1上、下表面分別披覆形成一金屬膜，步驟603是曝光顯影完成基板體1雙面具有蝕刻所需之圖案定義跡線2'，而步驟604是將基板體1雙面蝕刻形成所需之線圈迴路2，步驟605是將基板體1予以清洗及烘乾處理。

於步驟606中，係將蝕刻完成後之基板體1於線圈迴路2上之終端點22施以穿孔導體技術，將該終端點22貫穿一通孔5，孔內並填充金屬導體6，使上、下表面之線圈迴路2串聯導電接通，以完成單層雙面線圈迴路2之基板體1(如第六圖至第八圖)。

同樣實施與前述步驟506至步驟509相同手段之步驟607至步驟610，以完成電感特性之測試，即製成如第六圖及第七圖所示之單層雙面晶片電感者。

由此可知，為達到更高電感值之目的，可進一步採單層雙面晶片電感之製造方法，使同一單層晶片電感體具有雙面線圈迴路2，達到倍數電感圈數及密度，以使電感值



五、發明說明 (5)

大幅提昇，具有更高電感之效能。

又如第九圖所示，為本發明另一更高效率層次電感值之再一較佳實施例，其步驟701至步驟705是與單層晶片電感實施例之製造方法相同。

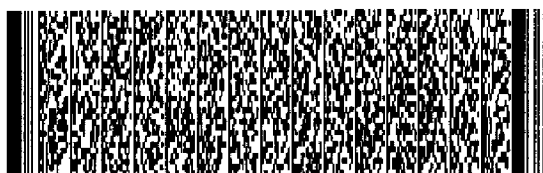
於步驟706中，係將基板體1於線圈迴路2上起始端點21、終端點22施以穿孔導體技術，將該始端點21、終端點22貫穿通孔5，孔內並填充金屬導體6以製成上、下基板體1表面之線圈迴路2串聯導電接點，其可視需求欲堆疊層數之基板體1上線圈路線2之起始端點21、終端點22分別施以穿孔導體技術(如第十圖所示A圖為第一層基板體1，B圖為第二層基板體1，C圖為第三層基板體1，D圖為第四層基板體1，且A圖基板體1上線圈迴路2之起始端點21及D圖基板體1上線圈迴路2之終端點22分別與基板體1邊緣披覆金屬導膜41、42導接)。

於步驟707中，係將基板體1之線圈迴路2表面層塗膠以使線圈迴路2表面層具有一隔離層3予以保護。

於步驟708中，係將複數片穿孔導接完成之基板體1可進一步實施上、下堆疊(如第十圖所示A至D圖之程序)，一直到所需層數依序堆疊為止，並於堆疊間隔再施以塗膠或隔層絕緣材料形成隔離層3保護，不致有外來物質影響電感特性。

於步驟709中，係將上下堆疊並完成隔離層3之基板體1予以切割手段製成積層晶片體。

於步驟710中，將基層晶片體兩側浸塗具有導電性之



五、發明說明 (6)

金屬膜端子4，再進行下一步驟711中，施以電性測試作業完成電感特性之測試，即製成如第十一圖所示之積層晶片電感，因此能達到更高倍數電感圈數及密度，以具有更高效率層次電感值之利用價值者。

綜上所陳，本發明之蝕刻式單層及積層晶片電感之製造方法，不僅製成了細微化線圈迴路，可大幅提高電感線圈數及密度，且以穿孔導體技術製成單層雙面或積層晶片電感體，能具有倍數及更高效率層次電感值之特性，顯已符合發明專利之可供產業上利用價值者，故爰依法提出申請之。

符號說明：

基板片體.....	1
線圈迴路.....	2
圖案定義跡線.....	2'
起始端點.....	21
終端點.....	22
隔離層.....	3
金屬膜端子.....	4
起始導膜.....	41
終端導膜.....	42
通孔.....	5
金屬導體.....	6



圖式簡單說明

第一圖所示為本發明蝕刻式單層晶片電感之製造方法的實施例流程圖。

第二圖所示為本發明基板體上顯影印刷多組圖案定義跡線之實施例立體示意圖。

第三圖所示為本發明單層晶片電感之實施例剖面圖。

第四圖所示為本發明單體晶片電感之實施例立體示意圖。

第五圖所示為本發明蝕刻式單層雙面晶片電感之製造方法的實施例流程圖。

第六圖所示為本發明蝕刻式單層雙面晶片電感之實施例立體示意圖。

第七圖所示為本發明蝕刻式單層雙面晶片電感之實施例背面立體示意圖。

第八圖所示為本發明蝕刻式單層雙面晶片電感之實施例剖面圖。

第九圖所示為本發明蝕刻式積層晶片電感之製造方法的實施例流程圖。

第十A至十D圖所示為本發明蝕刻式積層晶片電感之各層板依序實施穿孔示意圖。

第十一圖所示為本發明蝕刻式積層晶片電感之實施例立體示意圖。



六、申請專利範圍

1、一種蝕刻式單層及積層晶片電感之製造方法，其步驟包括：

- (1) 提供一片由陶瓷或磁鐵芯材料製成之基板體；
- (2) 以披覆技術於該基板體形成至少一面金屬膜；
- (3) 藉由曝光顯影技術於該金屬膜形成複數個圖案定義跡線；

(4) 將圖案定義跡線採蝕刻反應處理製成保留所需之線圈迴路；

(5) 蝕刻後基板體表面予清洗及烘乾處理；

(6) 線圈迴路表面塗膠形成一隔離層保護；

(7) 可進一步以複數片基板體予上下堆疊並施以貫穿導體技術，且於堆疊間再塗膠或隔層絕緣材料形成隔離層保護；

(8) 採以切割手段製成單層或積層晶片體；

(9) 該單層或積層晶片體之兩側端上浸塗金屬膜端子，實施電性測試作業完成電感特性測試；

藉由上述程序，能提高電感圈數及密度，俾能提供高電感值之晶片電感者。

2、如申請專利範圍第1項之蝕刻式單層及積層晶片電感之製造方法，其中基板體於披覆金屬膜後，為達到高電感值及倍數電感值，可進一步於基板體背面採同樣步驟(3)、(4)之作業，以製成基板體背面蝕刻處理所需之另一線圈迴路。

3、如申請專利範圍第2項之蝕刻式單層及積層晶片電



六、申請專利範圍

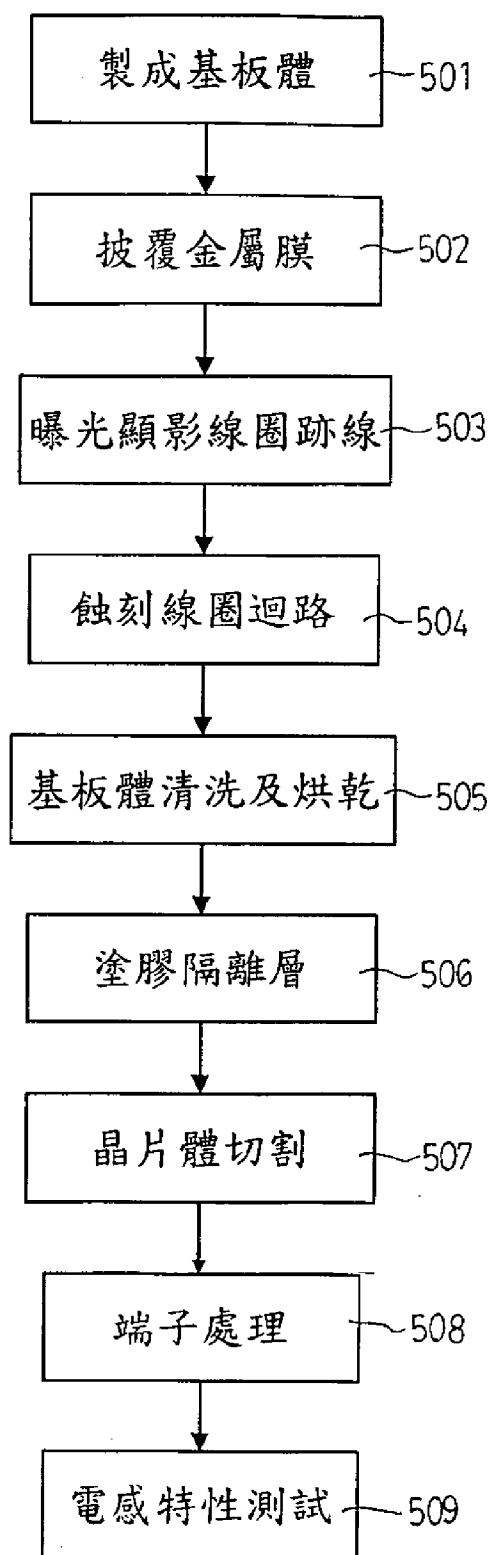
感之製造方法，其中基板體完成雙面蝕刻線圈迴路後，基板體表面予穿孔導體技術處理，將雙面蝕刻線圈迴路予以串聯導通連接，再同樣實施步驟(9)測試作業便製成單層雙面晶片電感者。

4、如申請專利範圍第1項之蝕刻式單層及積層晶片電感之製造方法，其中實施步驟(6)後進一步採穿孔導體技術可將上、下層晶片體之線圈迴路串聯導電接通，復以複數片晶片體予上、下堆疊，並於堆疊間施以塗膠或隔層絕緣材料形成保護隔離層，該堆疊複數片晶片體再同樣實施步驟(9)測試作業便製成積層晶片電感者。

。

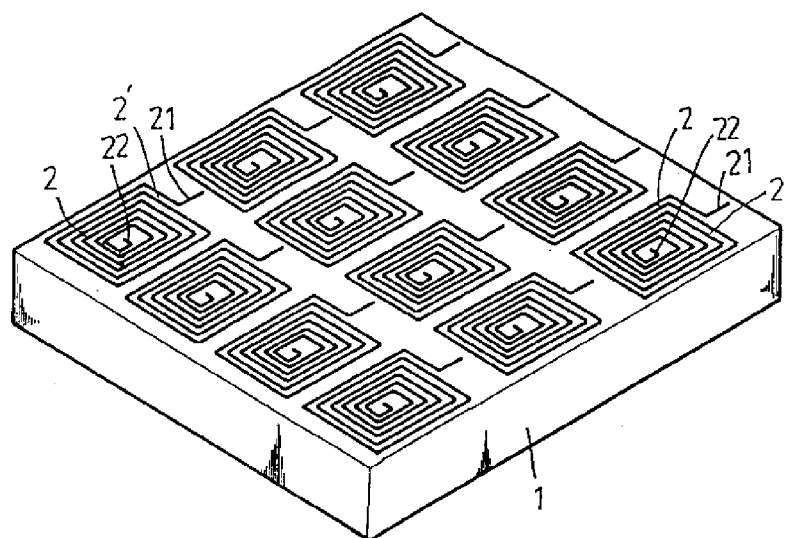


圖式

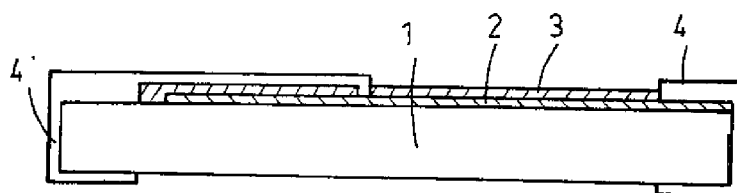


第一圖

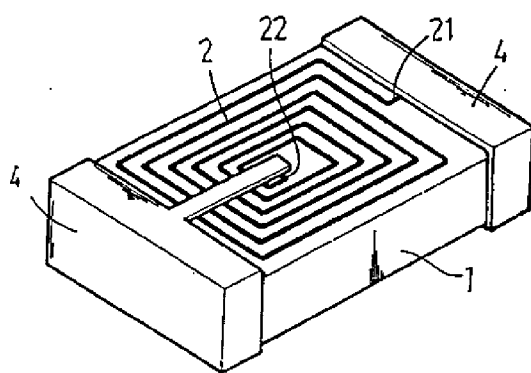
圖式



第二圖

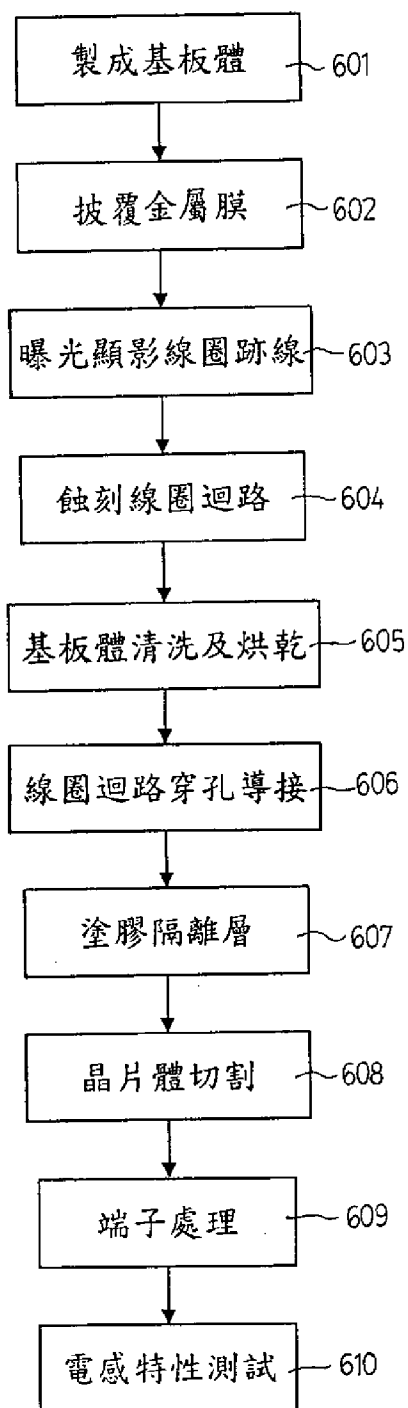


第三圖



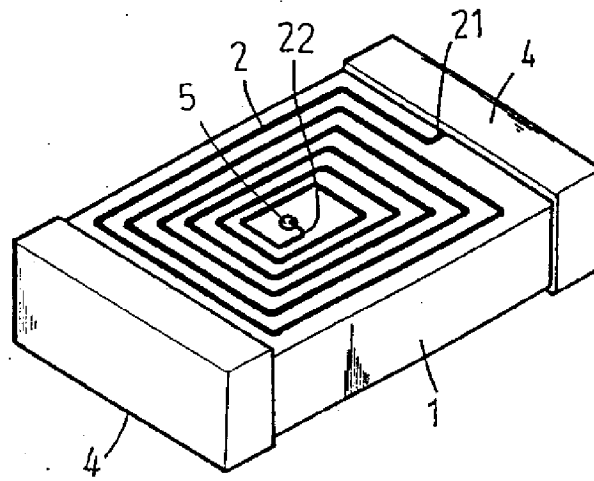
第四圖

圖式

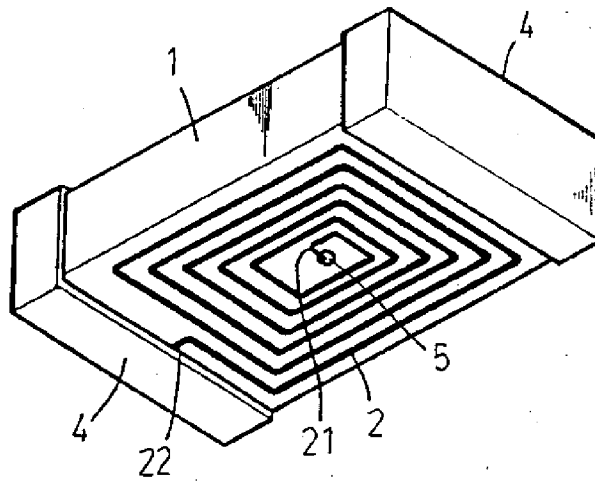


第五圖

圖式

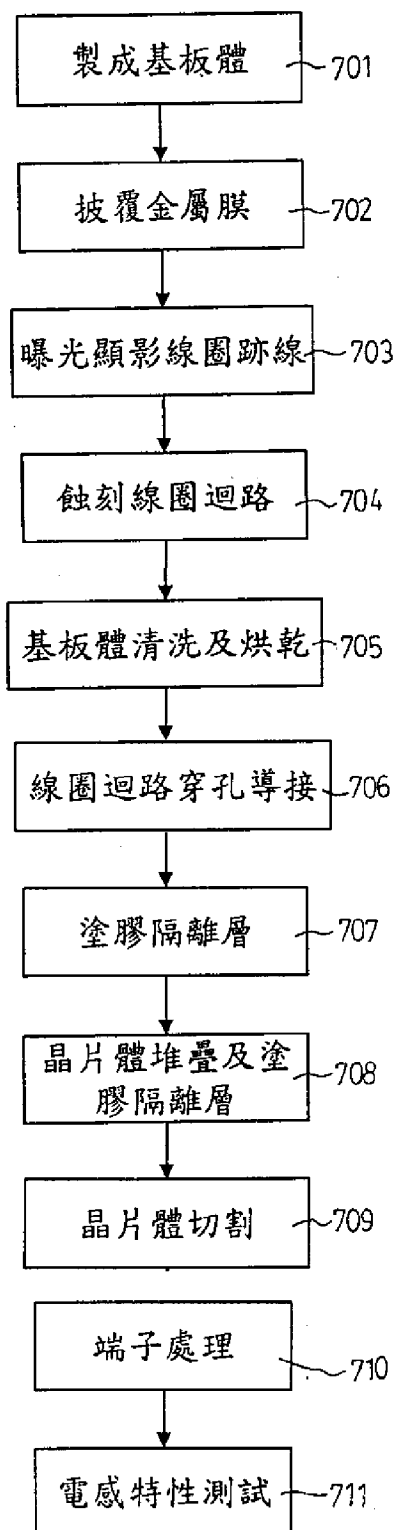


第六圖



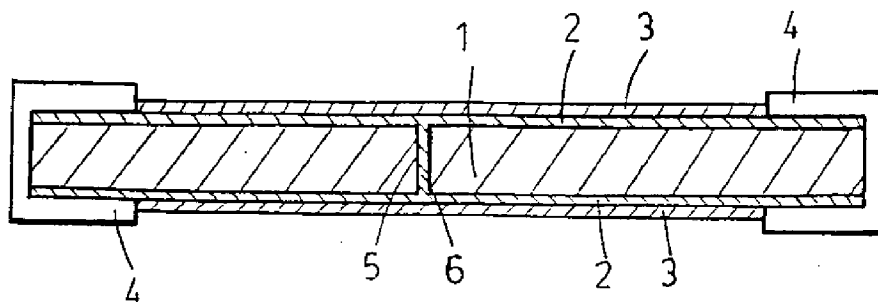
第七圖

圖式

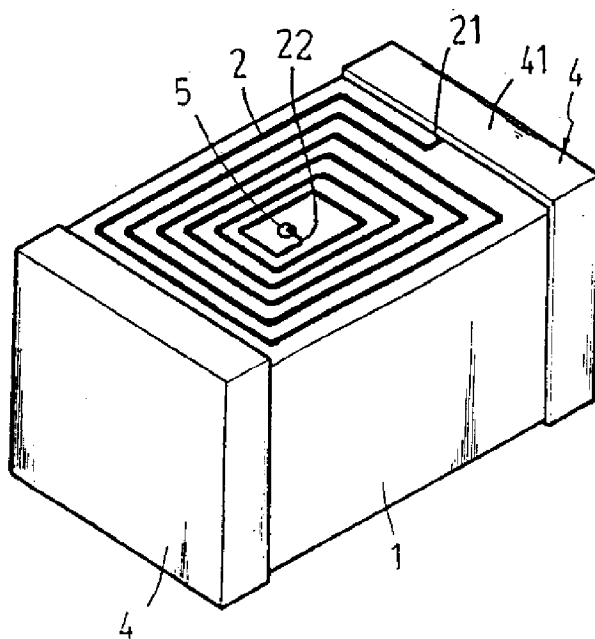


第九圖

圖式

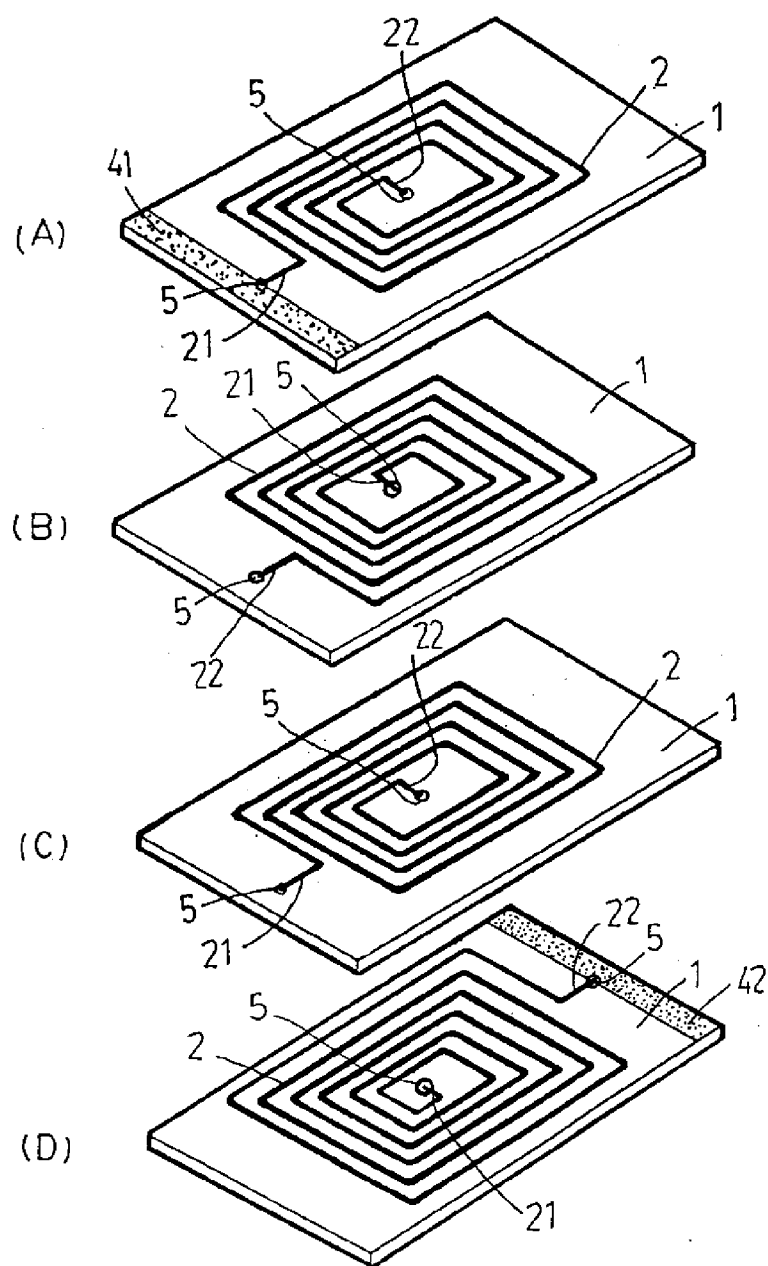


第八圖



第十一圖

圖式



第十圖

公 止 本
申請日期: 89.7.7
類別: H01L21/70, 29/00

890724 日

修正

案號: 89113458

89.7.24 日

(以上各欄由本局填註)

發明專利說明書

457624

一、發明名稱	中文	蝕刻式單層及積層晶片電感之製造方法
	英文	
二、發明人	姓名 (中文)	1. 王弘光 2. 王薈雅
	姓名 (英文)	1. 2.
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 桃園縣中壢市東園路5號 2. 桃園縣中壢市東園路5號
三、申請人	姓名 (名稱) (中文)	1. 佳葉科技有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 桃園縣中壢市東園路5號
	代表人姓名 (中文)	1. 王弘光
	代表人姓名 (英文)	1.



457624

案號 89113458

890724

年 月 日

修正

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

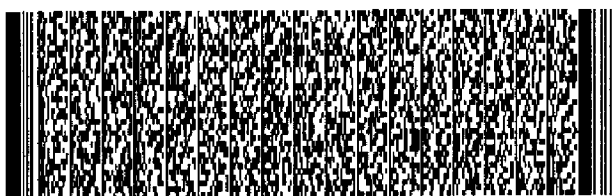
寄存號碼

無

四、中文發明摘要 (發明之名稱：蝕刻式單層及積層晶片電感之製造方法)

一種蝕刻式單層及積層晶片電感之製造方法，其步驟包括：提供一基板體；以披覆於該基板體形成至少一面金屬膜；藉由曝光顯影技術於金屬膜上形成複數個圖案定義跡線；將圖案定義跡線採蝕刻反應處理製成保留所需之線圈迴路；蝕刻後基板體之表面予清洗及烘乾處理；線圈迴路表面塗膠形成保護隔離層；以複數片基板體予上下堆疊並施以貫穿導體技術，且於堆疊間再塗膠或隔層絕緣材料形成隔離層保護；採以切割手段製成單層或積層之晶片體；以及於單層或積層晶片體之兩端側上分別浸塗製成金屬膜端子實施電感特性測試作業；如此製成細微化線圈迴路之晶片電感，能大幅提高電感圈數及密度，以具有倍數或更高效率層次電感值之特性者。

英文發明摘要 (發明之名稱：)



五、發明說明 (1)

本發明係關於一種晶片電感之製造方法，尤指一種具有細微化線圈迴路，能提高電感圈數及高電感值之蝕刻式單層及積層晶片電感的製造方法。

現今電子元件，為因應通訊、家電及資訊產品輕薄短小化及高性能上的需求，便須使電子元件在體積縮小之餘，同時也需符合高效率性能之需求。

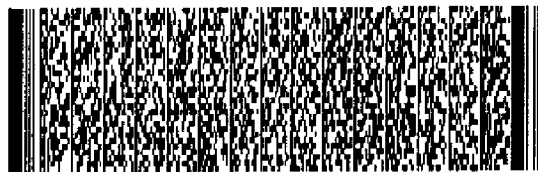
按現今電子元件已廣泛應用於通訊、家電及資訊產品之晶片電感，其晶片表面線圈製成方式，在傳統製成方式係以繞線式、印刷或雷射切割方式來達成。在傳統繞線方式上，其繞組線圈製程後之端子處理及壓鑄處理上手續繁瑣，易造成中斷線圈繞組，因此技術需求性高。

在傳統印刷方式上，其線圈印刷於基板上，在製程上因網版印刷易造成塞網等問題不易達成細微化線圈迴路，也不臻理想。

又傳統雷射切割方式上，雖能精準切割線圈迴路，但有切割寬度較寬問題，同樣也無法提供細微化線圈線路，相對電感圈數及密度就無法提昇，無法符合現今高感值小體積需求之晶片電感。

本發明之主要課題，即針對目前產業上所面臨之瓶頸，予以突破，提供一種創新「蝕刻式單層及積層晶片電感」之製造方法。

本發明之主要目的，即在於一種可在一陶瓷或磁鐵芯材料製成基板體上提供多組細微化線圈迴路之製造方法，



五、發明說明(2)

不僅具有多組晶片同時加工作業，及其線圈圈數大幅提高之特性，因此電感值及生產效率均大幅提昇，且粗細一致之細微化線圈迴路，可使電感值保持穩定特性，俾能達到高電感值之效用。

本發明之次要目的，即在於基板體上可進一步提供雙面多組細微化線圈迴路之製造方法，並以穿孔導體技術將雙面線圈迴路予串聯導電接通製成單層雙面晶片電感，因此線圈圈數更進一步大幅提高，相對電感值成倍數大幅提昇，俾能達到更高效率電感值之特性。

本發明之另一目的，即在於基板體上可進一步以複數片上下堆疊製成積層晶片電感之製造方法，因此達到積層電感值之實施方式，具有更高層次功率電感值之特性。

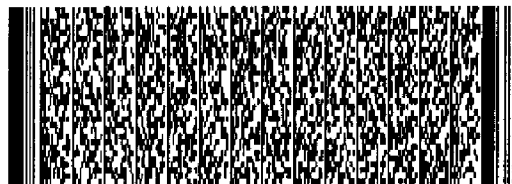
依據本發明上揭目的所示之蝕刻式晶片電感之製造方法，茲詳加說明如下：

如第一圖所示即為本發明蝕刻式單層晶片電感之製造方法之較佳實施例的流程圖。

於步驟501中，係以陶瓷或磁鐵芯材料製成基板體1。

於步驟502中，係將步驟501之基板體1上表面層披覆（電鍍或真空濺鍍等方式）上可為高導電性材料之金屬膜。

於步驟503中，係將披覆有金屬膜表層之基板體1採用曝光顯影技術（負片原理），以令基板體1表面層形成複數個圖案定義迴路之圖案定義跡線2'（如第二圖所示）。



五、發明說明(3)

於步驟504中，係將上述形成複數個圖案定義跡線2'，藉由化學蝕刻藥劑對曝光顯影後基板體1上圖案定義跡線2'實施蝕刻反應以完成保留線圈迴路2，如此手段所達成具有導電性之線圈迴路2，不僅可輕易控制線圈迴路2一定範圍之跡線寬度，讓迴路更為精密細微化，此乃習知雷射切割跡線方式所不能達成的，因此在線圈數及密度上能大幅提昇，相對的電感值也大幅提昇了，達到高感值之電感特性。

於步驟505中，係將蝕刻完成後之基板體1置於清洗裝置中作為清洗及烘乾處理，以完成去除反應溶渣及乾淨化學蝕刻藥劑。

於步驟506中，係將清洗及烘乾完成之基板體1，採用塗膠(coating)或隔層絕緣材料以使表面層具有一隔離層3(如第三圖所示)，該隔離層3可為一樹脂或玻璃所形成保護層，以保護線圈迴路2表層，不致有外來物質而影響電感特性。

於步驟507中，係將完成保護隔離層3之基板體1，以鑽石輪切割或雷射光切割技術將基板體1上具有多組等間距線圈迴路2之個體分別切割製成單層晶片體(如第四圖所示)。

於步驟508中，係將單層晶片體兩側浸塗具有高導電性之金屬膜端子4(如第四圖所示)，供以進行下一步電性測試作業。

於步驟509中，係以進行電性測試作業即完成晶片電



五、發明說明(4)

感之成品。

藉由上述步驟，即可完成多組晶片電感同時加工作業，並能提供細微化之線圈迴路2，以使線圈圈數大幅提高，電感值也大幅提昇了，以具有高電感值之特性，其粗細一致之細微化線圈迴路，可使電感值保持穩定特性，如此製成高電感值之單層晶片電感者。

又如第五圖所示，為本發明具有更高電感值之一較佳實施例，其是與上述單層晶片電感實施例之製造方法大致相同，其步驟602是將基板體1上、下表面分別披覆形成一金屬膜，步驟603是曝光顯影完成基板體1雙面具有蝕刻所需之圖案定義跡線2'，而步驟604是將基板體1雙面蝕刻形成所需之線圈迴路2，步驟605是將基板體1予以清洗及烘乾處理。

於步驟606中，係將蝕刻完成後之基板體1於線圈迴路2上之終端點22施以穿孔導體技術，將該終端點22貫穿一通孔5，孔內並填充金屬導體6，使上、下表面之線圈迴路2串聯導電接通，以完成單層雙面線圈迴路2之基板體1(如第六圖至第八圖)。

同樣實施與前述步驟506至步驟509相同手段之步驟607至步驟610，以完成電感特性之測試，即製成如第六圖及第七圖所示之單層雙面晶片電感者。

由此可知，為達到更高電感值之目的，可進一步採單層雙面晶片電感之製造方法，使同一單層晶片電感體具有雙面線圈迴路2，達到倍數電感圈數及密度，以使電感值



五、發明說明 (5)

大幅提昇，具有更高電感之效能。

又如第九圖所示，為本發明另一更高效率層次電感值之再一較佳實施例，其步驟701至步驟705是與單層晶片電感實施例之製造方法相同。

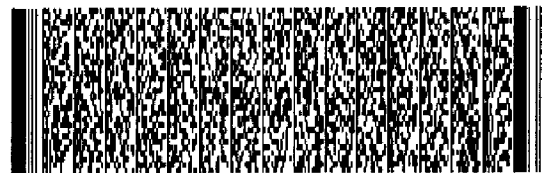
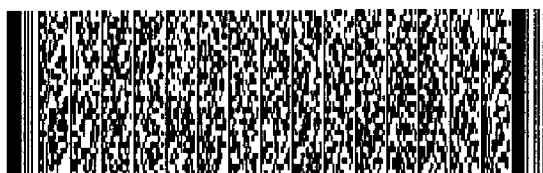
於步驟706中，係將基板體1於線圈迴路2上起始端點21、終端點22施以穿孔導體技術，將該始端點21、終端點22貫穿通孔5，孔內並填充金屬導體6以製成上、下基板體1表面之線圈迴路2串聯導電接點，其可視需求欲堆疊層數之基板體1上線圈路線2之起始端點21、終端點22分別施以穿孔導體技術(如第十圖所示A圖為第一層基板體1，B圖為第二層基板體1，C圖為第三層基板體1，D圖為第四層基板體1，且A圖基板體1上線圈迴路2之起始端點21及D圖基板體1上線圈迴路2之終端點22分別與基板體1邊緣披覆金屬導膜41、42導接)。

於步驟707中，係將基板體1之線圈迴路2表面層塗膠以使線圈迴路2表面層具有一隔離層3予以保護。

於步驟708中，係將複數片穿孔導接完成之基板體1可進一步實施上、下堆疊(如第十圖所示A至D圖之程序)，一直到所需層數依序堆疊為止，並於堆疊間隔再施以塗膠或隔層絕緣材料形成隔離層3保護，不致有外來物質影響電感特性。

於步驟709中，係將上下堆疊並完成隔離層3之基板體1予以切割手段製成積層晶片體。

於步驟710中，將基層晶片體兩側浸塗具有導電性之



五、發明說明 (6)

金屬膜端子4，再進行下一步驟711中，施以電性測試作業完成電感特性之測試，即製成如第十一圖所示之積層晶片電感，因此能達到更高倍數電感圈數及密度，以具有更高效率層次電感值之利用價值者。

綜上所陳，本發明之蝕刻式單層及積層晶片電感之製造方法，不僅製成了細微化線圈迴路，可大幅提高電感線圈數及密度，且以穿孔導體技術製成單層雙面或積層晶片電感體，能具有倍數及更高效率層次電感值之特性，顯已符合發明專利之可供產業上利用價值者，故爰依法提出申請之。

符號說明：

基板片體.....	1
線圈迴路.....	2
圖案定義跡線.....	2'
起始端點.....	21
終端點.....	22
隔離層.....	3
金屬膜端子.....	4
起始導膜.....	41
終端導膜.....	42
通孔.....	5
金屬導體.....	6



圖式簡單說明

第一圖所示為本發明蝕刻式單層晶片電感之製造方法的實施例流程圖。

第二圖所示為本發明基板體上顯影印刷多組圖案定義跡線之實施例立體示意圖。

第三圖所示為本發明單層晶片電感之實施例剖面圖。

第四圖所示為本發明單體晶片電感之實施例立體示意圖。

第五圖所示為本發明蝕刻式單層雙面晶片電感之製造方法的實施例流程圖。

第六圖所示為本發明蝕刻式單層雙面晶片電感之實施例立體示意圖。

第七圖所示為本發明蝕刻式單層雙面晶片電感之實施例背面立體示意圖。

第八圖所示為本發明蝕刻式單層雙面晶片電感之實施例剖面圖。

第九圖所示為本發明蝕刻式積層晶片電感之製造方法的實施例流程圖。

第十A至十D圖所示為本發明蝕刻式積層晶片電感之各層板依序實施穿孔示意圖。

第十一圖所示為本發明蝕刻式積層晶片電感之實施例立體示意圖。



六、申請專利範圍

1、一種蝕刻式單層及積層晶片電感之製造方法，其步驟包括：

- (1) 提供一片由陶瓷或磁鐵芯材料製成之基板體；
- (2) 以披覆技術於該基板體形成至少一面金屬膜；
- (3) 藉由曝光顯影技術於該金屬膜形成複數個圖案定義跡線；

(4) 將圖案定義跡線採蝕刻反應處理製成保留所需之線圈迴路；

(5) 蝕刻後基板體表面予清洗及烘乾處理；

(6) 線圈迴路表面塗膠形成一隔離層保護；

(7) 可進一步以複數片基板體予上下堆疊並施以貫穿導體技術，且於堆疊間再塗膠或隔層絕緣材料形成隔離層保護；

(8) 採以切割手段製成單層或積層晶片體；

(9) 該單層或積層晶片體之兩側端上浸塗金屬膜端子，實施電性測試作業完成電感特性測試；

藉由上述程序，能提高電感圈數及密度，俾能提供高電感值之晶片電感者。

2、如申請專利範圍第1項之蝕刻式單層及積層晶片電感之製造方法，其中基板體於披覆金屬膜後，為達到高電感值及倍數電感值，可進一步於基板體背面採同樣步驟(3)、(4)之作業，以製成基板體背面蝕刻處理所需之另一線圈迴路。

3、如申請專利範圍第2項之蝕刻式單層及積層晶片電



六、申請專利範圍

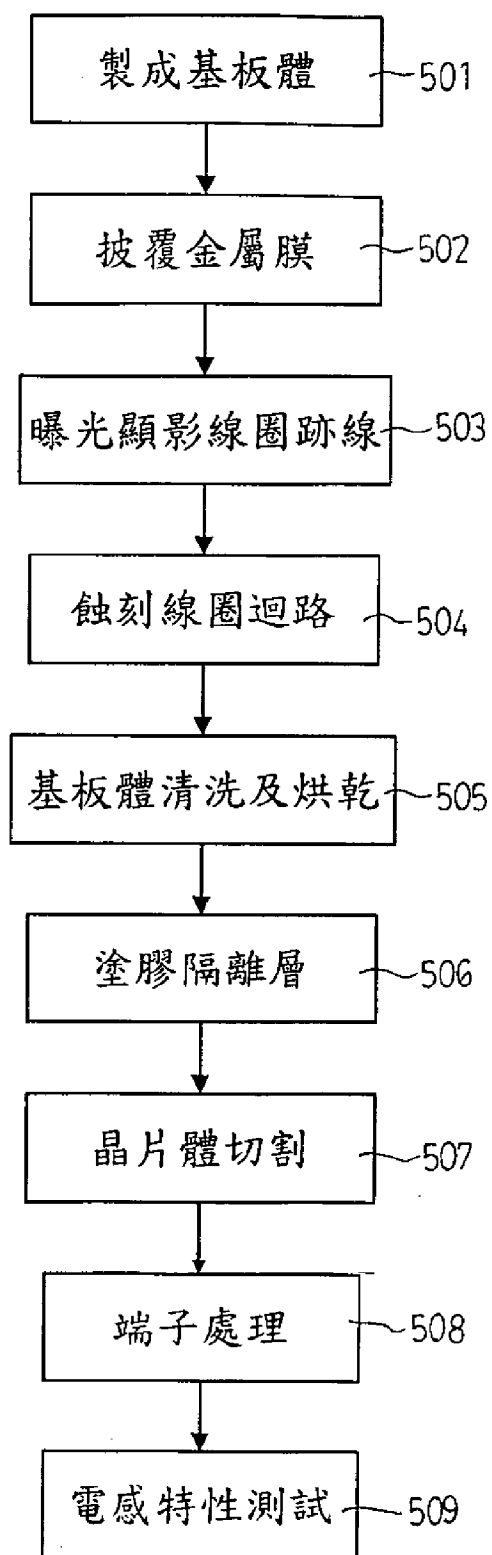
感之製造方法，其中基板體完成雙面蝕刻線圈迴路後，基板體表面予穿孔導體技術處理，將雙面蝕刻線圈迴路予以串聯導通連接，再同樣實施步驟(9)測試作業便製成單層雙面晶片電感者。

4、如申請專利範圍第1項之蝕刻式單層及積層晶片電感之製造方法，其中實施步驟(6)後進一步採穿孔導體技術可將上、下層晶片體之線圈迴路串聯導電接通，復以複數片晶片體予上、下堆疊，並於堆疊間施以塗膠或隔層絕緣材料形成保護隔離層，該堆疊複數片晶片體再同樣實施步驟(9)測試作業便製成積層晶片電感者。

。

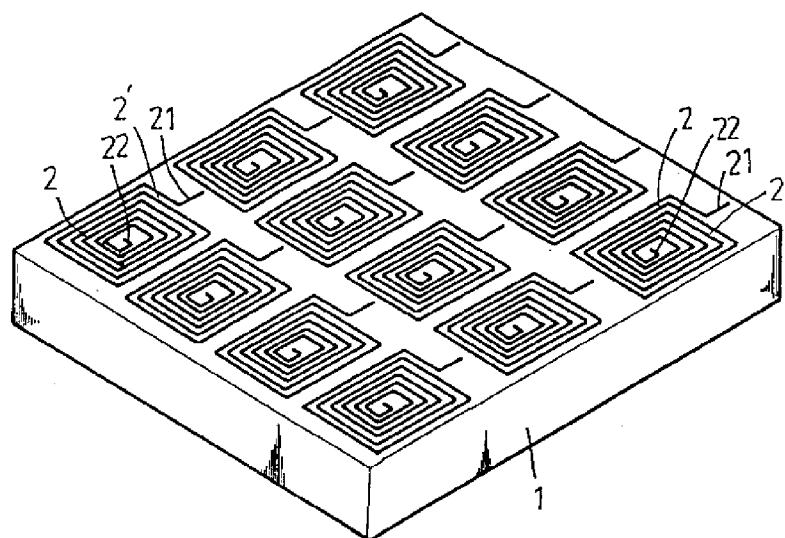


圖式

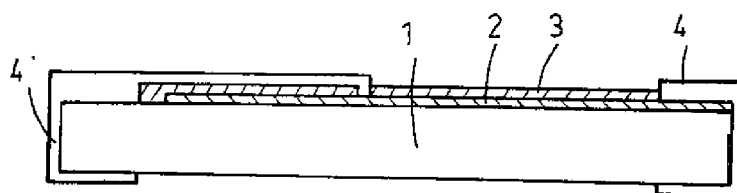


第一圖

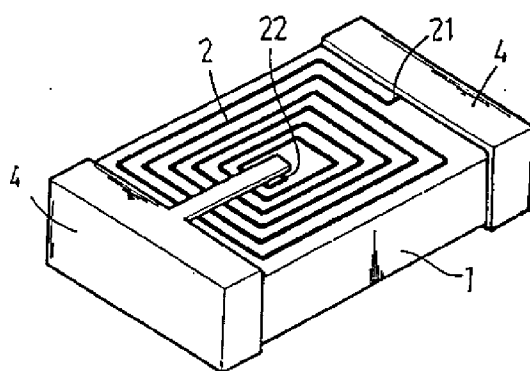
圖式



第二圖

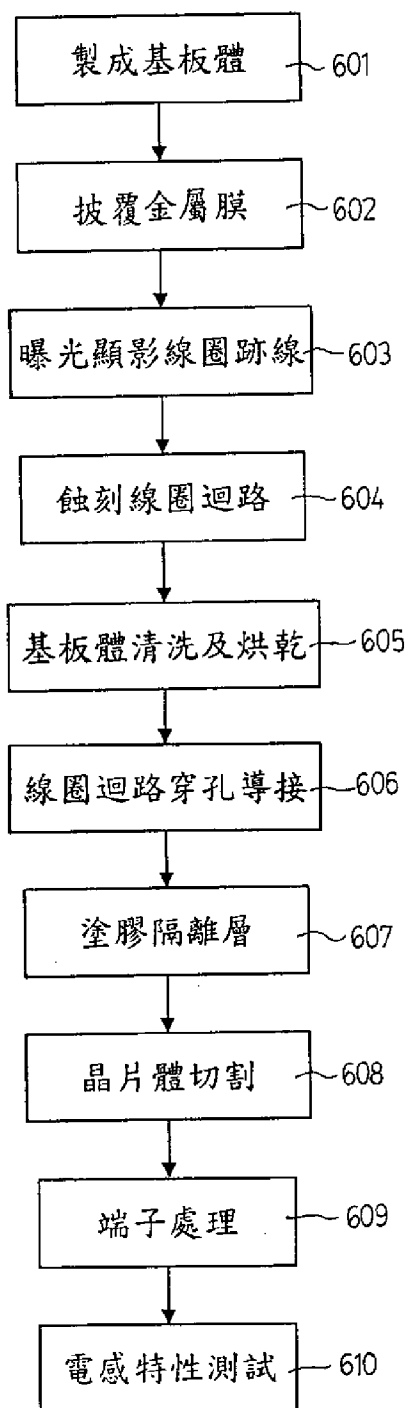


第三圖



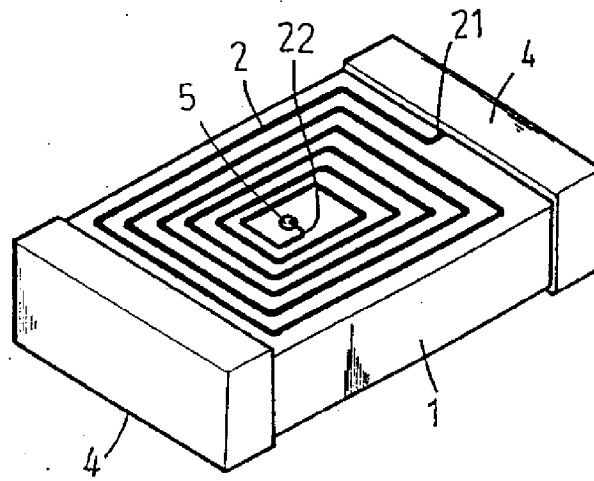
第四圖

圖式

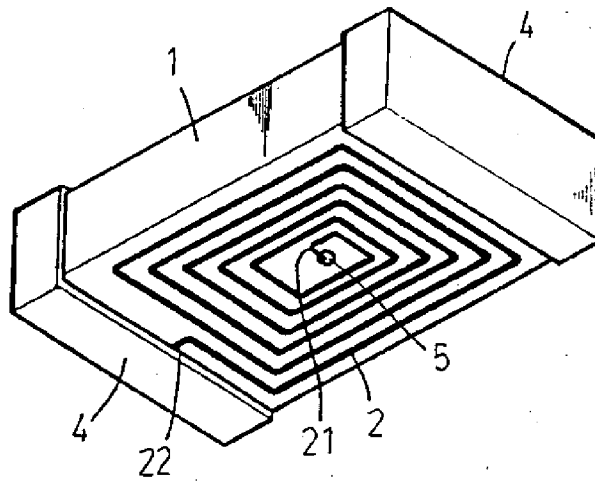


第五圖

圖式

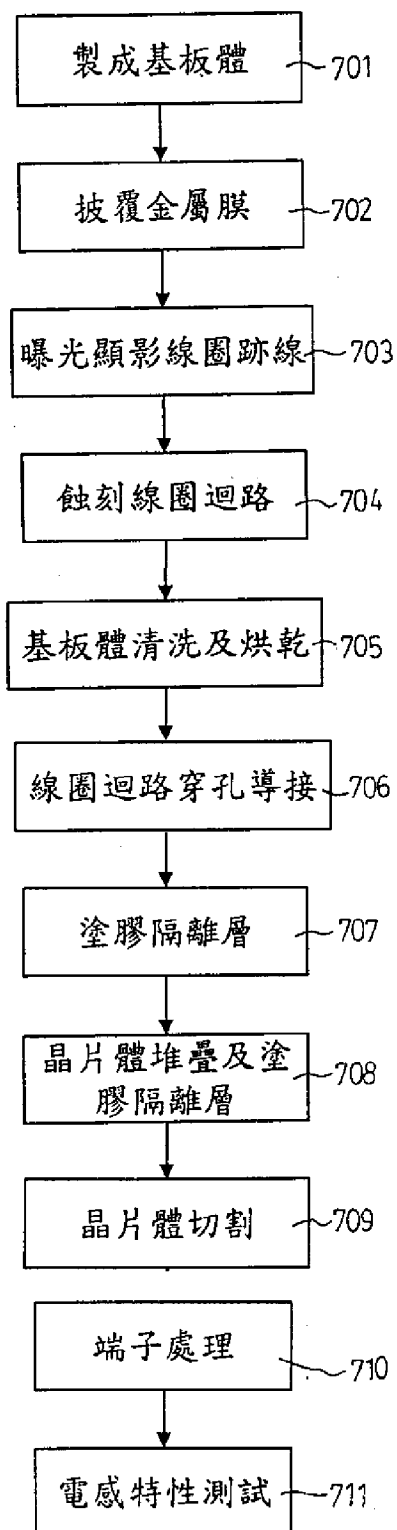


第六圖



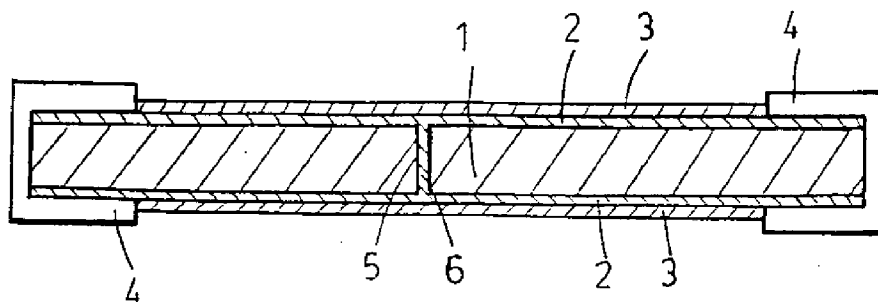
第七圖

圖式

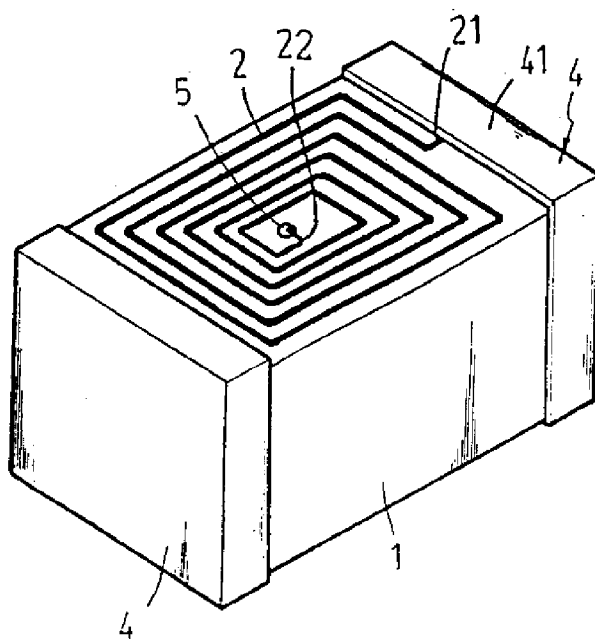


第九圖

圖式

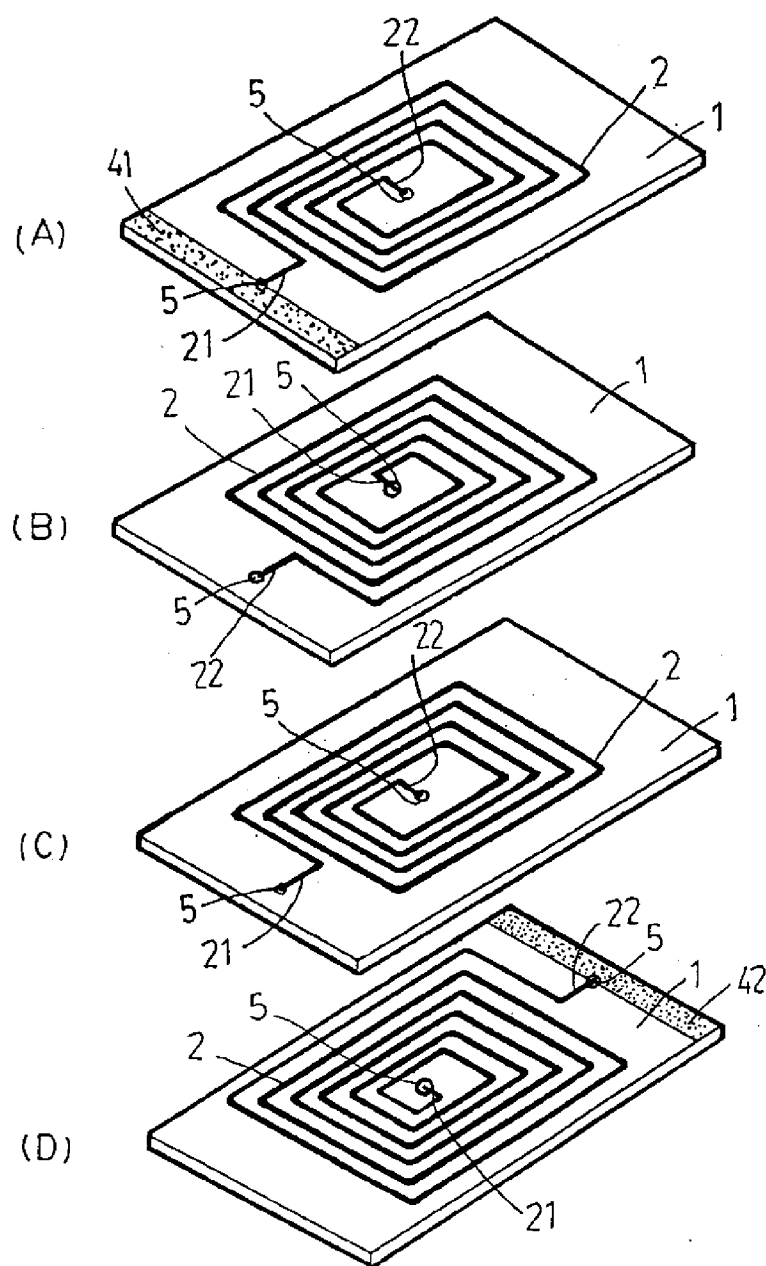


第八圖



第十一圖

圖式



第十圖